

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 06295243  
PUBLICATION DATE : 21-10-94

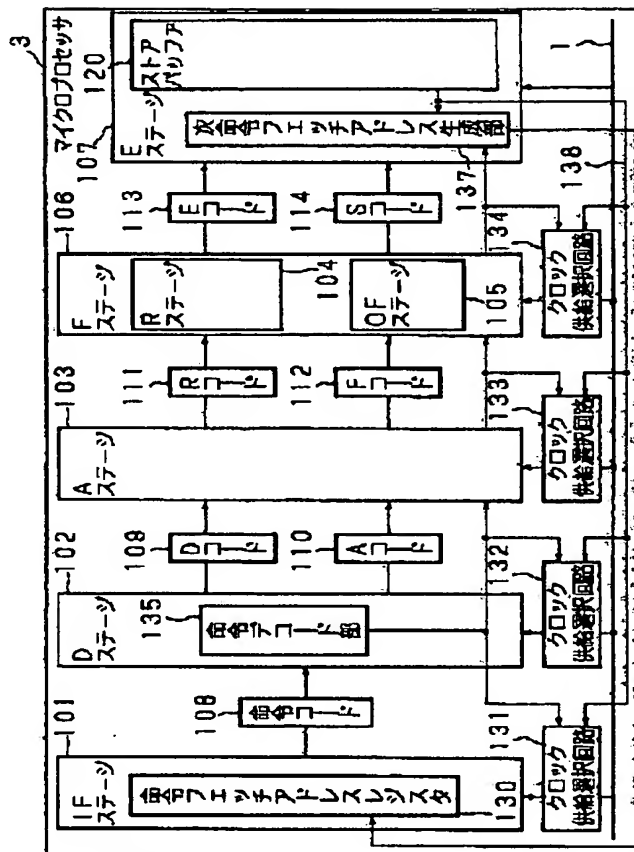
APPLICATION DATE : 08-04-93  
APPLICATION NUMBER : 05081910

APPLICANT : MITSUBISHI ELECTRIC CORP;

INVENTOR : SUZUKI KATSUNORI;

INT.CL. : G06F 9/38 G06F 1/32 G06F 1/04

TITLE : DATA PROCESSOR



ABSTRACT : PURPOSE: To avoid useless power consumption in other stage being in a stand-by state, in the case a comparatively long time is required for the processing in a certain stage, in the data processor for executing the pipeline processing.

CONSTITUTION: The data processor is provided with clock supply selecting circuits 131-134 which can select whether supply of a clock to each pipeline processing stage 101-103, 106 and 107 is executed or stopped, or a power source supply selecting circuit which can select whether power feeding is executed or not, and constituted so that at the time of processing of a specific instruction which requires a comparatively long time for the processing in an E stage 107 being a specific pipeline processing stage, supply of a clock or power feeding to each stage 101-103, and 106 of the pre-stages of its stage 107.

COPYRIGHT: (C)1994,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-295243

(43)公開日 平成6年(1994)10月21日

(51)IntCl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 9/38	3 1 0 E	9193-5B		
1/32				
1/04	3 0 1 C	7165-5B		
		7165-5B		
			G 0 6 F 1/ 00	3 3 2 B
審査請求 未請求 請求項の数 6 O L (全 23 頁)				

(21)出願番号 特願平5-81910

(22)出願日 平成5年(1993)4月8日

(71)出願人 000000013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 鈴木 勝則

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社北伊丹製作所内

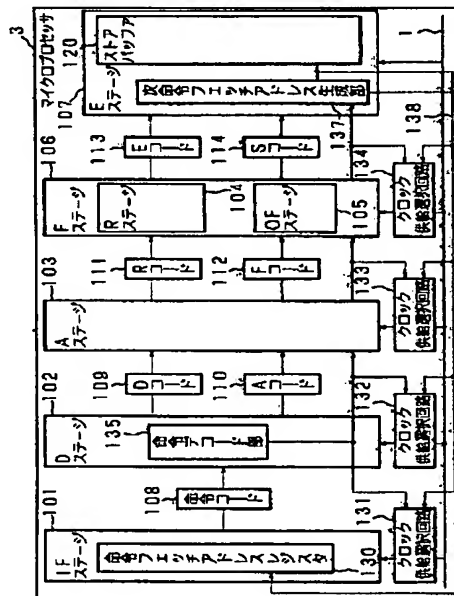
(74)代理人 弁理士 高田 守

(54)【発明の名称】 データ処理装置

(57)【要約】

【目的】 バイブライン処理を行うデータ処理装置において、あるステージでの処理に比較的時間を要する場合に、他の待機状態になっているステージでの無駄な電力消費を回避し得ることを目的とする。

【構成】 各バイブライン処理ステージ101, 102, 103, 106, 107 へのクロックの供給を行うかまたは停止するかを選択可能なクロック供給選択回路131, 132, 133, 134, または給電を行うかまたは停止するかを選択可能な電源供給選択回路141, 142, 143, 144 を備えており、特定のバイブライン処理ステージであるEステージ107での処理に比較的時間を要する特定の命令の処理に際してそのステージ107 よりも前段の各ステージ101, 102, 103, 106へのクロックの供給または給電を停止するようにしている。



## 【特許請求の範囲】

【請求項1】 外部からフェッチした命令を、それぞれがクロック供給配線から供給されるクロックに同期して動作する複数の処理ステージでパイプライン処理するデータ処理装置において、

前記複数の処理ステージの内の特定の処理ステージでの処理に際して他の処理ステージが待機状態になる特定の命令が処理されていることを検出する特定命令検出手段と、

処理中の命令の次の命令のアドレスを計算する次命令アドレス計算手段と、

前記クロック供給配線から前記各処理ステージへのクロックの供給を行うか、または停止するかを選択するクロック供給選択手段と、

外部から次にフェッチすべき命令のアドレスを記憶する命令フェッチアドレス記憶手段とを備え、

前記クロック供給選択手段は、前記特定命令検出手段が特定の命令が処理されていることを検出した場合に待機状態になっている処理ステージへのクロックの供給を停止し、前記特定の処理ステージでの処理が終了した場合に前記各処理ステージへのクロックの供給を行い、前記次命令アドレス計算手段は、前記特定の処理ステージでの処理が終了した場合に、次命令のアドレスを前記命令フェッチアドレス記憶手段に与えて次命令をフェッチさせるべくしてあることを特徴とするデータ処理装置。

【請求項2】 外部からフェッチした命令を、それぞれが電源供給配線から給電されて動作する複数の処理ステージでパイプライン処理するデータ処理装置において、前記複数の処理ステージの内の特定の処理ステージでの処理に際して他の処理ステージが待機状態になる特定の命令が処理されていることを検出する特定命令検出手段と、

処理中の命令の次の命令のアドレスを計算する次命令アドレス計算手段と、

前記電源供給配線から前記各処理ステージへの給電を行うか、または停止するかを選択する電源供給選択手段と、

外部から次にフェッチすべき命令のアドレスを記憶する命令フェッチアドレス記憶手段とを備え、

前記電源供給選択手段は、前記特定命令検出手段が特定の命令が処理されていることを検出した場合に待機状態になっている処理ステージへの給電を停止し、前記特定の処理ステージでの処理が終了した場合に前記各処理ステージへの給電を行い、

前記次命令アドレス計算手段は、前記特定の処理ステージでの処理が終了した場合に、次命令のアドレスを前記命令フェッチアドレス記憶手段に与えて次命令をフェッチさせるべくしてあることを特徴とするデータ処理装置。

【請求項3】 外部からフェッチした命令を、それぞれがクロック供給配線から供給されるクロックに同期して動作する複数の処理ステージでパイプライン処理するデータ処理装置において、

前記複数の処理ステージの内の特定の処理ステージでの処理に際して他の処理ステージが待機状態になる特定の命令のアドレスを予め記憶する特定命令アドレス記憶手段と、

処理中の命令のアドレスと前記特定命令アドレス記憶手段に記憶されているアドレスとを比較する比較手段と、

処理中の命令の次の命令のアドレスを計算する次命令アドレス計算手段と、

前記クロック供給配線から前記各処理ステージへのクロックの供給を行うか、または停止するかを選択するクロック供給選択手段と、

外部から次にフェッチすべき命令のアドレスを記憶する命令フェッチアドレス記憶手段とを備え、

前記クロック供給選択手段は、前記特定命令検出手段が特定の命令が処理されていることを検出した場合に待機状態になっている処理ステージへのクロックの供給を停止し、前記特定の処理ステージでの処理が終了した場合に前記各処理ステージへのクロックの供給を行い、

前記次命令アドレス計算手段は、前記特定の処理ステージでの処理が終了した場合に、次命令のアドレスを前記命令フェッチアドレス記憶手段に与えて次命令をフェッチさせるべくしてあることを特徴とするデータ処理装置。

【請求項4】 外部からフェッチした命令を、それぞれが電源供給配線から給電されて動作する複数の処理ステージでパイプライン処理するデータ処理装置において、前記複数の処理ステージの内の特定の処理ステージでの処理に際して他の処理ステージが待機状態になる特定の命令のアドレスを予め記憶する特定命令アドレス記憶手段と、

処理中の命令のアドレスと前記特定命令アドレス記憶手段に記憶されているアドレスとを比較する比較手段と、

処理中の命令の次の命令のアドレスを計算する次命令アドレス計算手段と、

前記電源供給配線から前記各処理ステージへの給電を行うか、または停止するかを選択する電源供給選択手段と、

外部から次にフェッチすべき命令のアドレスを記憶する命令フェッチアドレス記憶手段とを備え、

前記電源供給選択手段は、前記特定命令検出手段が特定の命令が処理されていることを検出した場合に待機状態になっている処理ステージへの給電を停止し、前記特定の処理ステージでの処理が終了した場合に前記各処理ステージへの給電を行い、

前記次命令アドレス計算手段は、前記特定の処理ステージでの処理が終了した場合に、次命令のアドレスを前記

命令フェッチアドレス記憶手段に与えて次命令をフェッチさせるべくしてあることを特徴とするデータ処理装置。

【請求項5】 外部からフェッチした命令を、それぞれがクロック供給配線から供給されるクロックに同期して動作する複数の処理ステージでパイプライン処理するデータ処理装置において、

前記複数の処理ステージの内の特定の処理ステージでの処理に際して他の処理ステージが待機状態になる特定の命令が処理されていることを検出する特定命令検出手段と、

処理中の命令の次の命令のアドレスを計算する次命令アドレス計算手段と、

前記クロック供給配線から前記各処理ステージへのクロックの供給を行うか、または停止するかを選択するクロック供給選択手段と、

外部から次にフェッチすべき命令のアドレスを記憶する命令フェッチアドレス記憶手段と、

前記各処理ステージ内に設けられ、それぞれの処理結果を記憶する静的記憶手段とを備え、

前記クロック供給選択手段は、前記特定命令検出手段が特定の命令が処理されていることを検出した場合に待機状態になっている処理ステージへのクロックの供給を停止し、前記特定の処理ステージでの処理が終了した場合に前記各処理ステージへのクロックの供給を行い、

前記次命令アドレス計算手段は、前記特定の処理ステージでの処理が終了した場合に、次命令のアドレスを前記命令フェッチアドレス記憶手段に与えて次命令をフェッチさせるべくしてあることを特徴とするデータ処理装置。

【請求項6】 外部からフェッチした命令を、それぞれが電源供給配線から給電されて動作する複数の処理ステージでパイプライン処理するデータ処理装置において、

前記複数の処理ステージの内の特定の処理ステージでの処理に際して他の処理ステージが待機状態になる特定の命令が処理されていることを検出する特定命令検出手段と、

処理中の命令の次の命令のアドレスを計算する次命令アドレス計算手段と、

前記電源供給配線から前記各処理ステージへの給電を行うか、または停止するかを選択する電源供給選択手段と、

外部から次にフェッチすべき命令のアドレスを記憶する命令フェッチアドレス記憶手段と、

前記各処理ステージとは別に常時給電され、それぞれの処理結果を記憶する静的記憶手段とを備え、

前記電源供給選択手段は、前記特定命令検出手段が特定の命令が処理されていることを検出した場合に待機状態になっている処理ステージへの給電を停止し、前記特定の処理ステージでの処理が終了した場合に前記各処理ス

テージへの給電を行い、

前記次命令アドレス計算手段は、前記特定の処理ステージでの処理が終了した場合に、次命令のアドレスを前記命令フェッチアドレス記憶手段に与えて次命令をフェッチさせるべくしてあることを特徴とするデータ処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はデータ処理装置に関し、特に低電力消費型データ処理装置に関し、より具体的には、パイプライン処理を行う際の各ステージでの待ち時間における電力消費量を削減し得るデータ処理装置に関する。

【0002】

【従来の技術】パイプライン処理を行うための複数のステージを備えた従来のデータ処理装置のマイクロプロセッサの構成例を図13のブロック図に示す。図13においてはマイクロプロセッサ3内の5段構成の基本的なパイプライン処理機構が示されている。

【0003】即ち、図示されていない外部メモリから命令をプリフェッチする命令プリフェッチステージ（IFステージ）101、命令をデコードするデコードステージ（Dステージ）102、オペランドのアドレス計算を行うオペランドアドレス計算ステージ（Aステージ）103、マイクロROM121のアクセス及びオペランドのプリフェッチを行うオペランドプリフェッチステージ（Fステージ）106、命令を実行する命令実行ステージ（Eステージ）107の5ステージである。

【0004】参照符号1は各ステージにクロックを供給するためのクロック供給配線を、2は各ステージに電源を給電するための電源供給配線をそれぞれ示している。なお、Eステージ107には1段のストアバッファ120が備えられている。このEステージ107にストアバッファ120が備えられていることにより、図13に示されているマイクロプロセッサ3は実際には5段以上のパイプライン処理効果を発揮する。

【0005】また、Fステージ106は、マイクロROM121をアクセスするマイクロROMアクセスステージ（Rステージ）104とオペランドをプリフェッチするオペランドプリフェッチステージ（OFステージ）105とを含んでいる。なお、上述のようなマイクロプロセッサ3を有する従来のデータ処理装置では、命令処理に際しては各ステージで均衡したパイプライン処理が行えるように、処理対象の命令を複数のパイプライン処理単位（ステージコード）に分解して処理する。

【0006】ところで、IFステージ101からDステージ102へ渡される情報は命令コード108そのものである。Dステージ102からAステージ103に渡される情報は、命令で指定された演算に関する情報と、オペランドアドレスの計算に関する情報との二種類があり、それぞれD

コード109、Aコード110と称されるステージコードとして処理される。

【0007】Aステージ103からFステージ106に渡される情報は、マイクロプログラムルーチンのエントリ番号、マイクロプログラムへのパラメータ等を含む情報と、オペランドアドレスとアクセス方法の指示情報等を含む情報との二種類があり、それぞれRコード111、Fコード112と称されるステージコードとして処理される。Fステージ106からEステージ107に渡される情報は、演算制御情報とリテラル等を含む情報と、オペランド、オペランドアドレス等を含む情報との二種類があり、それぞれEコード113、Sコード114と称されるステージコードとして処理される。

【0008】図14は上述の図13に示されているデータ処理装置が処理対象とする命令列の一例を示す模式図であり、図15は各パイプライン処理段階で各ステージにおいて処理される命令の状態を示す模式図である。なお、命令401の"smov.b"は割り出し条件付のストリングの転送命令である。転送はストリング単位で行われ、1回の転送が終了する都度、割り出し条件がチェックされる。割り出し条件が成立した場合には、命令はそれ以降の処理は行われずに終了する。

【0009】以下、この図14に示されている命令列を図13に示されているマイクロプロセッサ3を有するデータ処理装置が処理する場合の動作について説明する。まず、図示されていない外部メモリから命令401がIFステージ101にフェッチされる。IFステージ101にフェッチされた命令401は命令コード108としてDステージ102へ転送される。この状態が図15(a)に示されている。

【0010】Dステージ102では、命令401をデコードし、そのデコード結果はDコード109及びAコード110としてAステージ103へ転送される。また、次の命令402が外部メモリからIFステージ101にフェッチされてDステージ102へ転送される。この状態が図15(b)に示されている。

【0011】Aステージ103では、命令401の処理が終了すると、処理結果はRコード111及びFコード112としてFステージ106へ転送される。また、命令402がDステージ102からAステージ103へ転送される。命令403が外部メモリからIFステージ101にフェッチされてDステージ102へ転送される。この状態が図15(c)に示されている。

【0012】Fステージ106では、命令401の処理が終了すると、処理結果はEコード113及びSコード114としてEステージ107へ転送される。また、命令402がAステージ103からFステージ106へ転送される。命令403がDステージ102からAステージ103へ転送される。次の命令404が外部メモリからIFステージ101にフェッチされてDステージ102へ転送される。この状態が図15(d)に示されている。

【0013】Eステージ107では、命令401の処理が終了すると、命令401がメモリ書き込みを伴うのであれば、ストアバッファ120に書き込みデータを転送する。また、命令402がFステージ106からEステージ107へ転送される。命令403がAステージ103からFステージ106へ転送される。命令404がDステージ102からAステージ103へ転送される。次の命令405が外部メモリからIFステージ101にフェッチされてDステージ102へ転送される。この状態が図15(e)に示されている。

10 【0014】

【発明が解決しようとする課題】ところで、上述の命令401のEステージ107での処理に比較的時間を要する場合がある。そのような場合に、それより前段のIFステージ101、Dステージ102、Aステージ103、Fステージ106はEステージ107での処理が終了するまで待機状態になる。この待機状態になっている各ステージには、電源供給配線2及びクロック供給配線1を介して電力及びクロックが供給されており、無駄に電力が消費されている。

20 【0015】本発明はこのような事情に鑑みてなされたものであり、パイプライン処理を行うデータ処理装置において、あるステージでの処理に比較的時間を要する場合に、他の待機状態になっているステージでの無駄な電力消費を回避し得ることを目的とする。

【0016】

【課題を解決するための手段】本発明に係るデータ処理装置は、基本的には、各パイプライン処理ステージへのクロックの供給を行うかまたは停止するかを選択可能なクロック供給選択手段、または給電を行うかまたは停止するかを選択可能な電源供給選択手段を備えており、あるパイプライン処理ステージでの処理に比較的時間を要する特定の命令の処理に際してそのステージよりも前段の各ステージへのクロックの供給または給電を停止するようにしている。

【0017】本発明のデータ処理装置の第1の発明は、特定の命令の命令コードを予め記憶してその命令をデコードした場合に検出する特定命令検出手段と、処理中の命令の次の命令のアドレスを計算する次命令アドレス計算手段と、各パイプライン処理ステージへのクロックの供給を行うか、または停止するかを選択するクロック供給選択手段と、外部から次にフェッチすべき命令のアドレスを記憶する命令フェッチアドレス記憶手段とを備えている。

【0018】本発明のデータ処理装置の第2の発明は、特定の命令の命令コードを予め記憶してその命令をデコードした場合に検出する特定命令検出手段と、処理中の命令の次の命令のアドレスを計算する次命令アドレス計算手段と、各パイプライン処理ステージへの給電を行うか、または停止するかを選択するクロック供給選択手段と、外部から次にフェッチすべき命令のアドレスを

記憶する命令フェッチアドレス記憶手段とを備えている。

【0019】本発明のデータ処理装置の第3の発明は、特定の命令のアドレスを予め記憶してその命令をフェッチした場合に検出する特定命令検出手段と、処理中の命令の次の命令のアドレスを計算する次命令アドレス計算手段と、各パイプライン処理ステージへのクロックの供給を行うか、または停止するかを選択するクロック供給選択手段と、外部から次にフェッチすべき命令のアドレスを記憶する命令フェッチアドレス記憶手段とを備えている。

【0020】本発明のデータ処理装置の第4の発明は、特定の命令のアドレスを予め記憶してその命令をフェッチした場合に検出する特定命令検出手段と、処理中の命令の次の命令のアドレスを計算する次命令アドレス計算手段と、各パイプライン処理ステージへの給電を行うか、または停止するかを選択する電源供給選択手段と、外部から次にフェッチすべき命令のアドレスを記憶する命令フェッチアドレス記憶手段とを備えている。

【0021】本発明のデータ処理装置の第5の発明は、特定の命令の命令コードを予め記憶してその命令をデコードした場合に検出する特定命令検出手段と、処理中の命令の次の命令のアドレスを計算する次命令アドレス計算手段と、各パイプライン処理ステージへのクロックの供給を行うか、または停止するかを選択するクロック供給選択手段と、外部から次にフェッチすべき命令のアドレスを記憶する命令フェッチアドレス記憶手段と、各パイプライン処理ステージ内に設けられ、それぞれの処理結果を記憶する静的記憶手段とを備えている。

【0022】本発明のデータ処理装置の第6の発明は、特定の命令のアドレスを予め記憶してその命令をフェッチした場合に検出する特定命令検出手段と、処理中の命令の次の命令のアドレスを計算する次命令アドレス計算手段と、各パイプライン処理ステージへの給電を行うか、または停止するかを選択する電源供給選択手段と、外部から次にフェッチすべき命令のアドレスを記憶する命令フェッチアドレス記憶手段と、各パイプライン処理ステージとは別に常時給電され、それぞれの処理結果を記憶する静的記憶手段とを備えている。

【0023】

【作用】本発明のデータ処理装置の第1の発明では、特定命令検出手段が特定の命令が処理されていることをその命令コードにより検出した場合に待機状態になっている各パイプライン処理ステージへのクロックの供給がクロック供給選択手段により停止され、特定のパイプライン処理ステージでの処理が終了した場合に各パイプライン処理ステージへのクロックの供給がクロック供給選択手段により再開されると共に、次命令のアドレスが次命令アドレス計算手段により計算されて命令フェッチアドレス記憶手段に与えられることにより次命令がフェッチ

される。

【0024】本発明のデータ処理装置の第2の発明では、特定命令検出手段が特定の命令が処理されていることをその命令コードにより検出した場合に待機状態になっている各パイプライン処理ステージへの給電が電源供給選択手段により停止され、特定のパイプライン処理ステージでの処理が終了した場合に各パイプライン処理ステージへの給電が給電供給選択手段により再開されると共に、次命令のアドレスが次命令アドレス計算手段により計算されて命令フェッチアドレス記憶手段に与えられることにより次命令がフェッチされる。

【0025】本発明のデータ処理装置の第3の発明では、特定命令検出手段が特定の命令が処理されていることをその命令アドレスにより検出した場合に待機状態になっている各パイプライン処理ステージへのクロックの供給がクロック供給選択手段により停止され、特定のパイプライン処理ステージでの処理が終了した場合に各パイプライン処理ステージへのクロックの供給がクロック供給選択手段により再開されると共に、次命令のアドレスが次命令アドレス計算手段により計算されて命令フェッチアドレス記憶手段に与えられることにより次命令がフェッチされる。

【0026】本発明のデータ処理装置の第4の発明では、特定命令検出手段が特定の命令が処理されていることをその命令アドレスにより検出した場合に待機状態になっている各パイプライン処理ステージへの給電が電源供給選択手段により停止され、特定のパイプライン処理ステージでの処理が終了した場合に各パイプライン処理ステージへの給電が給電供給選択手段により再開されると共に、次命令のアドレスが次命令アドレス計算手段により計算されて命令フェッチアドレス記憶手段に与えられることにより次命令がフェッチされる。

【0027】本発明のデータ処理装置の第5の発明では、特定命令検出手段が特定の命令が処理されていることをその命令アドレスにより検出した場合に待機状態になっている各パイプライン処理ステージへのクロックの供給がクロック供給選択手段により停止され、特定のパイプライン処理ステージでの処理が終了した場合に各パイプライン処理ステージへのクロックの供給がクロック供給選択手段により再開されると共に、次命令のアドレスが次命令アドレス計算手段により計算されて命令フェッチアドレス記憶手段に与えられることにより次命令がフェッチされ、各ステージでは各静的記憶手段に記憶されている内容に従って爾後の処理が開始される。

【0028】本発明のデータ処理装置の第6の発明では、特定命令検出手段が特定の命令が処理されていることをその命令アドレスにより検出した場合に待機状態になっている各パイプライン処理ステージへの給電が電源供給選択手段により停止され、特定のパイプライン処理ステージでの処理が終了した場合に各パイプライン処理

ステージへの給電が電源供給選択手段により再開されると共に、次命令のアドレスが次命令アドレス計算手段により計算されて命令フェッチアドレス記憶手段に与えられることにより次命令がフェッチされ、各ステージでは各静的記憶手段に記憶されている内容に従って爾後の処理が開始される。

【0029】

【実施例】以下、本発明をその実施例を示す図面に基づいて詳述する。図1は本発明に係るデータ処理装置の第1の発明の一実施例の構成を示すブロック図である。なお、この図1においては、前述の従来例の説明で参照した図13と同一の参照符号は同一又は相当部分を示している。図1においてはマイクロプロセッサ3内の5段構成の基本的なパイプライン処理機構が示されている。

【0030】即ち、図示されていない外部メモリから命令をプリフェッチする命令プリフェッチステージ（IFステージ）101、命令をデコードするデコードステージ（Dステージ）102、オペランドのアドレス計算を行うオペランドアドレス計算ステージ（Aステージ）103、マイクロROM121のアクセス及びオペランドのプリフェッチを行うオペランドプリフェッチステージ（Fステージ）106、命令を実行する命令実行ステージ（Eステージ）107の5ステージである。

【0031】参照符号1は各ステージ101、102、103、106にクロックを供給するためのクロック供給配線を示している。なお、本発明のデータ処理装置のマイクロプロセッサ3には、図13の従来例に示されている電源供給配線2及びそれから各ステージへの電源配線も備えており、電源供給配線2から各ステージ101、102、103、106、107への給電は常時行われているが、電源供給配線2及びそれから各ステージへの給電線は省略してある。

【0032】なお、Eステージ107には1段のストアバッファ120が備えられている。このEステージ107にストアバッファ120が備えられていることにより、図13に示されているマイクロプロセッサ3は実際には5段以上のパイプライン処理効果を発揮する。

【0033】また、Fステージ106は、マイクロROM121をアクセスするマイクロROMアクセスステージ（Rステージ）104とオペランドをプリフェッチするオペランドプリフェッチステージ（OFステージ）105とを含んでいる。なお、上述のようなマイクロプロセッサ3を有する従来のデータ処理装置では、命令処理に際しては各ステージで均衡したパイプライン処理が行えるように、処理対象の命令を複数のパイプライン処理単位（ステージコード）に分解して処理する。

【0034】ところで、IFステージ101からDステージ102へ渡される情報は命令コード108そのものである。Dステージ102からAステージ103に渡される情報は、命令で指定された演算に関する情報と、オペランドアドレスの計算に関する情報との二種類があり、それぞれD

コード109、Aコード110と称されるステージコードととして処理される。

【0035】Aステージ103からFステージ106に渡される情報は、マイクロプログラムルーチンのエントリ番号、マイクロプログラムへのパラメータ等を含む情報と、オペランドアドレスとアクセス方法の指示情報等を含む情報との二種類があり、それぞれRコード111、Fコード112と称されるステージコードととして処理される。Fステージ106からEステージ107に渡される情報は、演算制御情報とリテラル等を含む情報と、オペランド、オペランドアドレス等を含む情報との二種類があり、それぞれEコード113、Sコード114と称されるステージコードととして処理される。

【0036】以上の構成は図13にその構成が示されている従来のデータ処理装置と同様であるが、本発明のデータ処理装置には、Eステージ107を除く他のIFステージ101、Dステージ102、Aステージ103及びFステージ106それぞれにクロック供給選択回路131、132、133、134が備えられている。これらのクロック供給選択回路131、132、133、134はクロック供給配線1からそれぞれのステージ101、102、103、106へのクロックの供給を行うか、あるいは停止するかを選択的することが出来る。

【0037】具体的には、各クロック供給選択回路131、132、133、134は、後述する命令デコード部135から検出信号136が与えられると、クロック供給配線1からそれぞれのステージ101、102、103、106へのクロックの供給を停止し、また逆に後述するストアバッファ120からの処理終了信号138が与えられるとクロック供給配線1からそれぞれのステージ101、102、103、106へのクロックの供給を行う。

【0038】また、IFステージ101には、図示されていない外部メモリからフェッチすべき命令のアドレスを示す命令フェッチアドレスレジスタ130が備えられている。

【0039】Dステージ102には、IFステージ101が外部メモリからフェッチした命令コード108をデコードしてそれがあるいはステージでの処理に際して長時間を要する特定の命令（以下、長時間処理命令という）であるかを検出する命令デコード部135が備えられている。この命令デコード部135は、命令をデコードした場合にその命令コードが予め記憶している幾つかの長時間処理命令の命令コードであるかをチェックする。そして、長時間処理命令の命令コードであった場合には、命令デコード部135はIFステージ101及びDステージ102のクロック供給選択回路131、132とAステージ103へ検出信号136を出力する。

【0040】Eステージ107には、次命令フェッチアドレス生成部137が備えられている。この次命令フェッチアドレス生成部137は、Eステージ107のストアバッファ120で長時間処理命令の処理が終了した場合に次にIF

ステージ101へフェッチされるべき命令のアドレスを生成する。この次命令フェッチアドレス生成部137により生成された命令のアドレスはIFステージ101の命令フェッチアドレスレジスタ130に与えられる。

【0041】また、上述のようにストアバッファ120での長時間処理命令の処理が終了した場合には、そのことを示す処理終了信号138がストアバッファ120から次命令フェッチアドレス生成部137及び各クロック供給選択回路131、132、133、134に与えられる。この処理終了信号138が与えられることにより各クロック供給選択回路131、132、133、134が各ステージ101、102、103、106へのクロックの供給を行うことは前述した通りである。

【0042】次に、前述の従来例と同様の図14に示されている命令列を実行する場合の本発明のデータ処理装置の第1の発明の動作について、各パイプライン処理段階で各ステージにおいて処理される命令の状態を示す図2の模式図を参照して説明する。

【0043】まず、図示されていない外部メモリから命令401がIFステージ101にフェッチされる。IFステージ101にフェッチされた命令401は命令コード108としてDステージ102へ転送される。この状態が図2(a)に示されている。

【0044】Dステージ102では、命令401をデコードし、そのデコード結果はDコード109及びAコード110としてAステージ103へ転送される。また、次の命令402が外部メモリからIFステージ101にフェッチされてDステージ102へ転送される。この状態が図2(b)に示されている。

【0045】ところで、命令401は長時間処理命令(smo v. b)であるので、Dステージ102の命令デコード部135は検出信号136をIFステージ101及びDステージ102のクロック供給選択回路131、132とAステージ103とへ出力する。これにより、クロック供給配線1からIFステージ101及びDステージ102へのクロックの供給が停止されてIFステージ101及びDステージ102はその動作を停止する。従って、この時点以降はIFステージ101が命令401の次の命令402を外部メモリからフェッチすることはない。

【0046】Aステージ103では、命令401の処理が終了すると、処理結果はRコード111及びFコード112としてFステージ106へ転送される。この状態が図2(c)に示されている。また、Dステージ102の命令デコード部135から検出信号136がAステージ103にも与えられているので、Aステージ103はAステージ103での処理終了後に検出信号136を自身のクロック供給選択回路133及びFステージ106へ出力する。これにより、クロック供給配線1からAステージ103へのクロックの供給が停止されてAステージ103もその動作を停止する。

【0047】Fステージ106では、命令401の処理が終

了すると、処理結果はEコード113及びSコード114としてEステージ107へ転送される。この状態が図2(d)に示されている。また、Aステージ103から検出信号136がFステージ106にも与えられているので、Fステージ106はFステージ106での処理終了後に検出信号136を自身のクロック供給選択回路134及びEステージ107へ出力する。これにより、クロック供給配線1からFステージ106へのクロックの供給が停止されてFステージ106もその動作を停止する。

【0048】Eステージ107では、命令401の処理が終了すると、命令401がメモリ書き込みを伴うためにストアバッファ120に書き込みデータを転送する。この状態が図2(e)に示されている。また、Fステージ106から検出信号136がEステージ107にも与えられているので、Eステージ107の次命令フェッチアドレス生成部137では命令401の次の命令である命令402のアドレス(0000064H)を生成する。

【0049】ストアバッファ120では、命令401の処理が終了すると、処理終了信号138を発生して各クロック供給選択回路131、132、133、134及び次命令フェッチアドレス生成部137に与える。これにより、クロック供給配線1から各ステージ101、102、103、106へのクロックの供給が再開されると共に、次命令フェッチアドレス生成部137は先に発生した命令402のアドレス(0000064H)をIFステージ101の命令フェッチアドレスレジスタ130へ送る。

【0050】IFステージ101では、次命令フェッチアドレス生成部137から次命令402のアドレス(0000064H)が命令フェッチアドレスレジスタ130に与えられるので、その命令402を外部メモリからフェッチして命令処理を続行する。

【0051】以上のように本発明のデータ処理装置の第1の発明では、Dステージ102の命令デコード部135で命令をデコードした時点でその命令コードが長時間処理命令のコードであることが検出可能な場合には、その命令をEステージ107で処理するしている間にそれより前段の各ステージ101、102、103、106へのクロック供給配線1からのクロックの供給が停止される。従って、長時間処理命令をEステージ107で処理している間は従来は待機状態になる各ステージ101、102、103、106が動作しないため、無駄な電力消費が回避される。

【0052】なお、上記実施例ではDステージ102に設けられた命令デコード部135で長時間処理命令の命令コードを検出するようにしているが、他のステージ101、103、106、107のいずれで長時間処理命令の検出を行うようにしてもほぼ同様の効果を奏する。

【0053】次に本発明のデータ処理装置の第2の発明について説明する。図3は本発明に係るデータ処理装置の第2の発明の一実施例の構成を示すブロック図である。なお、この図3においては、前述の従来例及び第1



の発明の説明で参照した図13及び図1と同一の参照符号は同一又は相当部分を示している。

【0054】図3に示されているように、この第2の発明では、図1に示されている第1の発明の構成に備えられているクロック供給選択回路131、132、133、134に代えて電源供給選択回路141、142、143、144が備えられている。そして、各電源供給選択回路141、142、143、144は、第1の発明のクロック供給選択回路131と同様に、検出信号136が与えられた場合に電源供給配線2から各ステージ101、102、103、106への給電を停止し、また処理終了信号138から与えられた場合に電源供給配線2から各ステージ101、102、103、106への給電を行う。

【0055】その他の構成は前述の図1に示されている第1の発明と全く同様である。また、図3ではクロック供給配線1から各ステージ101、102、103、106、107へのクロックの供給は常時行われているが、クロック供給配線1及びそれから各ステージへのクロック信号線は省略してある。

【0056】具体的には、本発明のデータ処理装置の第2の発明には、Eステージ107を除く他のIFステージ101、Dステージ102、Aステージ103及びFステージ106それぞれに電源供給選択回路141、142、143、144が備えられている。これらの電源供給選択回路141、142、143、144は、上述の如く、検出信号136が与えられた場合に電源供給配線2からそれぞれのステージ101、102、103、106への電源の供給を停止し、処理終了信号138が与えられた場合に電源供給配線2からそれぞれのステージ101、102、103、106への電源の供給を行う。

【0057】次に、前述の第1の発明及び従来例と同様の図14に示されている命令列を実行する場合の本発明のデータ処理装置の第2の発明の動作について、各パイプライン処理段階で各ステージにおいて処理される命令の状態を示す図4の模式図を参照して説明する。

【0058】まず、図示されていない外部メモリから命令401がIFステージ101にフェッチされる。IFステージ101にフェッチされた命令401は命令コード108としてDステージ102へ転送される。この状態が図4(a)に示されている。

【0059】Dステージ102では、命令401をデコードし、そのデコード結果はDコード109及びAコード110としてAステージ103へ転送される。また、次の命令402が外部メモリからIFステージ101にフェッチされてDステージ102へ転送される。この状態が図4(b)に示されている。

【0060】ところで、命令401は長時間処理命令(smo v.b)であるので、Dステージ102の命令デコード部135は検出信号136をIFステージ101及びDステージ102の電源供給選択回路141、142とAステージ103とへ出力する。これにより、電源供給配線2からIFステージ101及びDステージ102への給電が停止されてIFステージ101

及びDステージ102はその動作を停止する。従って、この時点以降はIFステージ101が命令401の次の命令402を外部メモリからフェッチすることはない。

【0061】Aステージ103では、命令401の処理が終了すると、処理結果はRコード111及びFコード112としてFステージ106へ転送される。この状態が図4(c)に示されている。また、Dステージ102の命令デコード部135から検出信号136がAステージ103にも与えられているので、Aステージ103はAステージ103での処理終了後に検出信号136を自身の電源供給選択回路143及びFステージ106へ出力する。これにより、電源供給配線2からAステージ103への給電が停止されてAステージ103もその動作を停止する。

【0062】Fステージ106では、命令401の処理が終了すると、処理結果はEコード113及びSコード114としてEステージ107へ転送される。この状態が図4(d)に示されている。また、Aステージ103から検出信号136がFステージ106にも与えられているので、Fステージ106はFステージ106での処理終了後に検出信号136を自身の電源供給選択回路144及びEステージ107へ出力する。これにより、電源供給配線2からFステージ106への給電が停止されてFステージ106もその動作を停止する。

【0063】Eステージ107では、命令401の処理が終了すると、命令401がメモリ書き込みを伴うためにストアバッファ120に書き込みデータを転送する。この状態が図4(e)に示されている。また、Fステージ106から検出信号136がEステージ107にも与えられているので、Eステージ107の次命令フェッチアドレス生成部137では命令401の次の命令である命令402のアドレス(00000064H)を生成する。

【0064】ストアバッファ120では、命令401の処理が終了すると、処理終了信号138を発生して各電源供給選択回路141、142、143、144及び次命令フェッチアドレス生成部137に与える。これにより、電源供給配線2から各ステージ101、102、103、106への給電が再開されると共に、次命令フェッチアドレス生成部137は先に発生した命令402のアドレス(00000064H)をIFステージ101の命令フェッチアドレスレジスタ130へ送る。

【0065】IFステージ101では、次命令フェッチアドレス生成部137から次命令402のアドレス(00000064H)が命令フェッチアドレスレジスタ130に与えられるので、その命令402を外部メモリからフェッチして命令処理を続行する。

【0066】以上のように本発明のデータ処理装置の第1の発明では、Dステージ102の命令デコード部135で命令をデコードした時点でその命令コードが長時間処理命令のコードであることが検出可能な場合には、その命令をEステージ107で処理するしている間にそれより前段の各ステージ101、102、103、106への電源供給配線2

からの給電が停止される。従って、長時間処理命令をEステージ107で処理している間は従来は待機状態になる各ステージ101, 102, 103, 106が動作しないため、無駄な電力消費が回避される。

【0067】なお、上記実施例ではDステージ102に設けられた命令デコード部135で長時間処理命令の命令コードを検出するようにしているが、他のステージ101, 103, 106, 107のいずれで長時間処理命令の検出を行うようにしてもほぼ同様の効果を奏する。

【0068】次に本発明のデータ処理装置の第3の発明について説明する。図5は本発明に係るデータ処理装置の第3の発明の一実施例の構成を示すブロック図である。なお、この図5においては、前述の従来例及び第1, 第2の発明の説明で参照した図13及び図1, 図3と同一の参照符号は同一又は相当部分を示している。

【0069】図5に示されているように、この第3の発明では、図1に示されている第1の発明においてDステージ102に命令デコード部135が備えられている代わりにPCブレイクポイント150、プログラムカウンタ(PC)115及びアドレス比較器151が備えられている。

【0070】また、Aステージ103、Fステージ106、Eステージ107及びストアバッファ120にもそれぞれプログラムカウンタ116, 117, 118及び119が備えられている。

【0071】なお、以下の説明では、Dステージ102のプログラムカウンタ115の値を"DPC"、Aステージ103のプログラムカウンタ116の値を"APC"、Fステージ106のプログラムカウンタ117の値を"FPC"、Eステージ107のプログラムカウンタの値を"CPC"、ストアバッファ120のプログラムカウンタ119の値を"SPC"とする。

【0072】その他の構成は前述の図1に示されている第1の発明と全く同様である。また、図5では電源供給配線2から各ステージ101, 102, 103, 106, 107への給電は常時行われているが、電源供給配線2及びそれから各ステージへの給電線は省略してある。

【0073】次に、前述の従来例及び各発明と同様の図14に示されている命令列を実行する場合の本発明のデータ処理装置の第3の動作について、各パイプライン処理段階で各ステージにおいて処理される命令の状態を示す図6の模式図を参照して説明する。

【0074】Dステージ102のPCブレイクポイント150には、このデータ処理装置が処理する命令列の内の特定の命令である長時間処理命令のアドレス、即ち図14に示されている命令列を処理する場合にはその内の長時間処理命令である命令401のアドレス"00000062H"が予め記憶されている。

【0075】まず、図示されていない外部メモリから命令401がIFステージ101にフェッチされる。そして、IFステージ101にフェッチされた命令401は命令コード10

8としてDステージ102へ転送される。その際、Dステージ102のプログラムカウンタ115には命令401のアドレス"00000062H"が"DPC"としてセットされる。このようにプログラムカウンタ115に新たな命令のアドレスが"DPC"としてセットされると、アドレス比較器151は"DPC"とPCブレイクポイント150に記憶されている値とを比較する。この状態が図6(a)に示されている。

【0076】Dステージ102では、命令401をデコードし、そのデコード結果はDコード109及びAコード110としてAステージ103へ転送される。また、次の命令402が外部メモリからIFステージ101にフェッチされてDステージ102へ転送される。この状態が図6(b)に示されている。

【0077】この際、Aステージ103のプログラムカウンタ116には命令401のアドレス"00000062H"が"APC"としてセットされる。また、前述のようにアドレス比較器151はDステージ102のプログラムカウンタ115にセットされた"DPC"とPCブレイクポイント150に記憶されている値とを比較するが、この場合は比較結果が一致するので、アドレス比較器151は検出信号136をIFステージ101及びDステージ102のクロック供給選択回路131, 132及びAステージ103へ出力する。これにより、クロック供給配線1からIFステージ101及びDステージ102へのクロックの供給が停止されてIFステージ101及びDステージ102の動作が停止する。従って、IFステージ101が次の命令403を外部メモリからフェッチすることはない。

【0078】Aステージ103では、命令401の処理が終了すると、処理結果はRコード111及びFコード112としてFステージ106へ転送される。この際、Fステージ106のプログラムカウンタ117には命令401のアドレス"00000062H"が"FPC"としてセットされる。また、アドレス比較器151から検出信号136がAステージ103にも与えられているので、Aステージ103はAステージ103での処理終了後に検出信号136を自身のクロック供給選択回路133及びFステージ106へ出力する。これにより、クロック供給配線1からAステージ103へのクロックの供給が停止されてAステージ103の動作が停止する。この状態が図6(c)に示されている。

【0079】Fステージ106では、命令401の処理が終了すると、処理結果はEコード113及びSコード114としてEステージ107へ転送される。その際、Eステージ107のプログラムカウンタ118には命令401のアドレス"00000062H"が"CPC"としてセットされる。また、Aステージ103から検出信号136がFステージ106にも与えられているので、Fステージ106はFステージ106での処理終了後に検出信号136を自身のクロック供給選択回路134及びEステージ107へ出力する。これにより、クロック供給配線1からFステージ106へのクロ

ックの供給が停止されてFステージ106の動作が停止する。この状態が図6(d)に示されている。

【0080】Eステージ107では、命令401の処理が終了すると、命令401がメモリ書き込みを伴うので、ストアバッファ120に書き込みデータを転送する。その際、ストアバッファ120のプログラムカウンタ119には命令401のアドレス"00000062H"が"SPC"としてセットされる。また、Fステージ106から検出信号136がEステージ107にも与えられているので、Eステージ107の次命令フェッチアドレス生成部137では命令401の次の命令である命令402のアドレス(00000064H)を生成する。この状態が図6(e)に示されている。

【0081】ストアバッファ120では、命令401の処理が終了すると、処理終了信号138を発生して各クロック供給選択回路131、132、133、134及び次命令フェッチアドレス生成部137に与える。これにより、クロック供給配線1から各ステージ101、102、103、106へのクロックの供給が再開されると共に、次命令フェッチアドレス生成部137は先に生成した次の命令である命令402のアドレス(00000064H)を命令フェッチアドレスレジスタ130へ送る。

【0082】IFステージ101では、次命令フェッチアドレス生成部137から次命令402のアドレス(00000064H)が命令フェッチアドレスレジスタ130に与えられるので、その命令402を外メモリからフェッチして命令処理を続行する。

【0083】以上のように、処理対象の命令列の内のいずれのアドレスの命令が長時間処理命令であるかが予め判明している場合にはアドレス比較器151によりそれが検出されるので、その命令をEステージ107で処理している間にそれより前段の各ステージ101、102、103、106へのクロック供給配線1からのクロックの供給を停止することにより、各ステージ101、102、103、106が動作することがなく、無駄な電力消費が回避される。

【0084】なお、上記実施例ではDステージ102に設けられたアドレス比較器151で長時間処理命令のアドレスを検出するようにしているが、他のステージ101、103、106、107のいずれで長時間処理命令のアドレス検出を行うようにしてもほぼ同様の効果を奏する。

【0085】次に本発明のデータ処理装置の第4の発明について説明する。図7は本発明に係るデータ処理装置の第4の発明の一実施例の構成を示すブロック図である。なお、この図7においては、前述の従来例及び第1、第2、第3の発明の説明で参照した図13及び図1、図3、図5と同一の参照符号は同一又は相当部分を示している。

【0086】図7に示されているように、この第4の発明では、図5に示されている第3の発明の構成に備えられているクロック供給選択回路131、132、133、134に代えて電源供給選択回路141、142、143、144が備えられて

いる。そして、各電源供給選択回路141、142、143、144は、第3の発明のクロック供給選択回路131と同様に、検出信号136が与えられた場合に電源供給配線2から各ステージ101、102、103、106への給電を停止し、また処理終了信号138から与えられた場合に電源供給配線2から各ステージ101、102、103、106への給電を行う。

【0087】その他の構成は前述の図5に示されている第3の発明と全く同様である。また、図7ではクロック供給配線1から各ステージ101、102、103、106、107へのクロックの供給は常時行われているが、クロック供給配線1及びそれから各ステージへのクロック信号線は省略してある。

【0088】具体的には、本発明のデータ処理装置の第4の発明には、Eステージ107を除く他のIFステージ101、Dステージ102、Aステージ103及びFステージ106それぞれに電源供給選択回路141、142、143、144が備えられている。これらの電源供給選択回路141、142、143、144は、上述の如く、検出信号136が与えられた場合に電源供給配線2からそれぞれのステージ101、102、103、106への電源の供給を停止し、処理終了信号138が与えられた場合に電源供給配線2からそれぞれのステージ101、102、103、106への電源の供給を行う。

【0089】次に、前述の従来例及び各発明と同様の図14に示されている命令列を実行する場合の本発明のデータ処理装置の第4動作について、各パイプライン処理段階で各ステージにおいて処理される命令の状態を示す図8の模式図を参照して説明する。

【0090】Dステージ102のPCブレイクポイント150には、このデータ処理装置が処理する命令列の内の特定の命令である長時間処理命令のアドレス、即ち図14に示されている命令列を処理する場合にはその内の長時間処理命令である命令401のアドレス"00000062H"が予め記憶されている。

【0091】まず、図示されていない外部メモリから命令401がIFステージ101にフェッチされる。そして、IFステージ101にフェッチされた命令401は命令コード108としてDステージ102へ転送される。その際、Dステージ102のプログラムカウンタ115には命令401のアドレス"00000062H"が"DPC"としてセットされる。このようにプログラムカウンタ115に新たな命令のアドレスが"DPC"としてセットされると、アドレス比較器151は"DPC"とPCブレイクポイント150に記憶されている値とを比較する。この状態が図8(a)に示されている。

【0092】Dステージ102では、命令401をデコードし、そのデコード結果はDコード109及びAコード110としてAステージ103へ転送される。また、次の命令402が外部メモリからIFステージ101にフェッチされてDステージ102へ転送される。この状態が図8(b)に示されている。

19

【0093】この際、Aステージ103のプログラムカウンタ116には命令401のアドレス"00000062H"が"APC"としてセットされる。また、前述のようにアドレス比較器151はDステージ102のプログラムカウンタ115にセットされた"DPC"とPC7レグイン150に記憶されている値とを比較するが、この場合は比較結果が一致するので、アドレス比較器151は検出信号136をIFステージ101及びDステージ102の電源供給選択回路141、142及びAステージ103へ出力する。これにより、電源供給配線2からIFステージ101及びDステージ102への給電が停止されてIFステージ101及びDステージ102の動作が停止する。従って、IFステージ101が次の命令403を外部メモリからフェッチすることはない。

【0094】Aステージ103では、命令401の処理が終了すると、処理結果はRコード111及びFコード112としてFステージ106へ転送される。この際、Fステージ106のプログラムカウンタ117には命令401のアドレス"00000062H"が"FPC"としてセットされる。また、アドレス比較器151から検出信号136がAステージ103にも与えられているので、Aステージ103はAステージ103での処理終了後に検出信号136を自身の電源供給選択回路143及びFステージ106へ出力する。これにより、電源供給配線2からAステージ103への給電が停止されてAステージ103の動作が停止する。この状態が図8(c)に示されている。

【0095】Fステージ106では、命令401の処理が終了すると、処理結果はEコード113及びSコード114としてEステージ107へ転送される。その際、Eステージ107のプログラムカウンタ118には命令401のアドレス"00000062H"が"CPC"としてセットされる。また、Aステージ103から検出信号136がFステージ106にも与えられているので、Fステージ106はFステージ106での処理終了後に検出信号136を自身の電源供給選択回路144及びEステージ107へ出力する。これにより、電源供給配線2からFステージ106への給電が停止されてFステージ106の動作が停止する。この状態が図8(d)に示されている。

【0096】Eステージ107では、命令401の処理が終了すると、命令401がメモリ書き込みを伴うので、ストアバッファ120に書き込みデータを転送する。その際、ストアバッファ120のプログラムカウンタ119には命令401のアドレス"00000062H"が"SPC"としてセットされる。また、Fステージ106から検出信号136がEステージ107にも与えられているので、Eステージ107の次命令フェッチアドレス生成部137では命令401の次の命令である命令402のアドレス(00000064H)を生成する。この状態が図8(e)に示されている。

【0097】ストアバッファ120では、命令401の処理が終了すると、処理終了信号138を発生して各電源供給選択回路141、142、143、144及び次命令フェッチアドレ

20

ス生成部137に与える。これにより、電源供給配線2から各ステージ101、102、103、106への給電が再開されると共に、次命令フェッチアドレス生成部137は先に生成した次の命令である命令402のアドレス(00000064H)を命令フェッチアドレスレジスタ130へ送る。

【0098】IFステージ101では、次命令フェッチアドレス生成部137から次命令402のアドレス(00000064H)が命令フェッチアドレスレジスタ130に与えられるので、その命令402を外部メモリからフェッチして命令処理を続行する。

【0099】以上のように、処理対象の命令列の内のいずれのアドレスの命令が長時間処理命令であるかが予め判明している場合にはアドレス比較器151によりそれが検出されるので、その命令をEステージ107で処理している間にそれより前段の各ステージ101、102、103、106への電源供給配線2からの給電を停止することにより、各ステージ101、102、103、106が動作することがなく、無駄な電力消費が回避される。

【0100】なお、上記実施例ではDステージ102に設けられたアドレス比較器151で長時間処理命令のアドレスを検出するようにしているが、他のステージ101、103、106、107のいずれで長時間処理命令のアドレス検出を行うようにしてもほぼ同様の効果を奏する。

【0101】次に本発明のデータ処理装置の第5の発明について説明する。図9は本発明に係るデータ処理装置の第5の発明の一実施例の構成を示すブロック図である。なお、この図9においては、前述の従来例及び第1、第2、第3第4の発明の説明で参照した図13及び図1、図3、図5、図7と同一の参照符号は同一又は相当部分を示している。

【0102】図9に示されているように、この第5の発明では、図1に示されている第1の発明の構成に更に、Eステージ107を除く各ステージ101、102、103、106内にそれぞれデータの受渡しを行うためにスタティックにデータを記憶する静的記憶手段としてのバッファ160、161、162、163を備えている。なお、これらの各バッファ160、161、162、163には各クロック供給選択回路131、132、133、134からそれぞれのステージ101、102、103、106に供給されるクロックが供給されている。

【0103】また、第1の発明においてEステージ107に備えられている次命令フェッチアドレス生成部137は備えられていない。

【0104】その他の構成は前述の図1に示されている第1の発明と全く同様である。また、図9では電源供給配線2から各ステージ101、102、103、106、107への給電は常時行われているが、電源供給配線2及びそれから各ステージへの給電線は省略してある。

【0105】なお、IFステージ101の命令フェッチアドレスレジスタ130はバッファ160と接続されていて、バッファ160に保持されている命令アドレスが入力される

ようになっている。また、命令デコード部135により長時間処理命令が検出された場合に出力される検出信号136はAステージ103のみに与えられ、その後Aステージ103からFステージ106へ、Fステージ106からEステージ107へ、更にEステージ107から各クロック供給選択回路131、132、133、134へ伝えられる。また、ストアバッファ120から出力される処理終了信号138は各クロック供給選択回路131、132、133、134に与えられていて、命令フェッチアドレスレジスタ130には与えられていない。

【0106】次に、前述の従来例及び各発明と同様の図14に示されている命令列を実行する場合の本発明のデータ処理装置の第5の発明の動作について、各パイプライン処理段階で各ステージにおいて処理される命令の状態を示す図10の模式図を参照して説明する。

【0107】まず、図示されていない外部メモリから命令401がIFステージ101にフェッチされる。IFステージ101にフェッチされた命令401はバッファ160から命令コード108として出力されてDステージ102へ転送される。その後、次の命令402が外部メモリからIFステージ101にフェッチされ、バッファ160にその命令402の命令コード及び命令アドレスが一旦記憶される。この状態が図10(a)に示されている。

【0108】Dステージ102では、命令401をデコードし、そのデコード結果はバッファ161からDコード109及びAコード110として出力されてAステージ103へ転送される。また、Dステージ102の命令デコード部135で長時間処理命令(smov. b)であることが検出されるので、命令デコード部135は検出信号136をAステージ103へ出力する。更に、外部メモリから命令403がIFステージ101にフェッチされ、バッファ160にその命令403の命令コード及び命令アドレスが記憶される。この状態が図10(b)に示されている。

【0109】Aステージ103では、命令401の処理が終了すると、処理結果はバッファ162からRコード111及びFコード112として出力されてFステージ106へ転送される。また、Dステージ102から入力された検出信号136もFステージ106へ出力される。

【0110】その後、命令402がDステージ102のバッファ161からAステージ103へ転送される。また、命令403がIFステージ101のバッファ160からDステージ102へ転送される。更に、外部メモリから命令404がIFステージ101にフェッチされ、バッファ160にその命令404の命令コード及び命令アドレスが記憶される。この状態が図10(c)に示されている。

【0111】Fステージ106では、命令401の処理が終了すると、処理結果はバッファ163からEコード113及びSコード114としてEステージ107へ転送される。また、Aステージ103から入力された検出信号136もEステージ107へ出力される。その後、命令402がAステー

ジ103のバッファ162からFステージ106へ転送される。また、命令403がDステージ102のバッファ161からAステージ103へ転送される。命令404がIFステージ101のバッファ160からDステージ102へ転送される。更に、外部メモリから命令405がIFステージ101にフェッチされ、バッファ160にその命令405の命令コード及び命令アドレスが記憶される。この状態が図10(d)に示されている。

【0112】Eステージ107では、命令401の処理が終了すると、命令401がメモリ書き込みを伴うので、ストアバッファ120に書き込みデータを転送する。その後、命令402がFステージ106のバッファ163からEステージ107へ転送される。命令402がAステージ103のバッファ162からFステージ106へ転送される。また、命令404がDステージ102のバッファ161からAステージ103へ転送される。命令405がIFステージ101のバッファ160からDステージ102へ転送される。更に、外部メモリから命令406がIFステージ101にフェッチされ、バッファ160にその命令406の命令コード及び命令アドレスが記憶される。この状態が図10(e)に示されている。

【0113】また、Fステージ106からEステージ107へ検出信号136が入力されると、Eステージ107は各ステージ101、102、103、106のクロック供給選択回路131、132、133、134へ検出信号136を出力して各ステージ101、102、103、106へのクロック供給配線1からのクロックの供給を停止させる。これにより、各ステージ101、102、103、106はその動作を停止するが、それぞれのステージ101、102、103、106のバッファ160、161、162、163はスタティックな記憶を行うのでクロックが供給されずともその時点の記憶内容、具体的にはその時点の各ステージ101、102、103、106の処理結果を失うことはない。

【0114】ストアバッファ120では、命令401の処理が終了すると、処理終了信号138を発生して各クロック供給選択回路131、132、133、134に与える。これにより、クロック供給配線1から各ステージ101、102、103、106へのクロックの供給が再開される。このクロックの供給が再開された時点で、各ステージ101、102、103、106の処理結果のデータを記憶しているバッファ160、161、162、163の内容が次段のステージ102、103、106、107へ送られるので、それぞれのステージ102、103、106、107ではそれらのデータに従って以降の処理を再開する。

【0115】IFステージ101では、バッファ160に記憶されている命令アドレスの次のアドレス、上述の例では命令406の命令アドレスがバッファ160に記憶されているので、その命令406の次の命令407のアドレス(0000006EH)が命令フェッチアドレスレジスタ130に与えられるので、その命令406を外部メモリからフェッチして命令処理を続行する。

【0116】以上のように、IFステージ101の命令フェッチアドレスレジスタ130でデコードした命令の命令コ

ードが長時間処理命令のコードであることが検出可能な場合には、その命令をEステージ107で処理している間はそれより前段の各ステージ101, 102, 103, 106ではそれぞれの処理結果をそれぞれのバッファ160, 161, 162, 163に記憶した状態でクロック供給配線1からのクロックの供給が停止される。従って、各ステージ101, 102, 103, 106が動作することがないため無駄な電力消費が回避されると共に、処理の再開時に外部メモリから無駄な命令フェッチを行うことなく、またクロックの供給停止時まで各ステージ101, 102, 103, 106で処理した結果をそのまま再使用して迅速に処理を再開することが出来る。

【0117】なお、上記実施例ではDステージ102に設けられた命令デコード部135で長時間処理命令を検出するようにしているが、他のステージ101, 103, 106, 107のいずれで長時間処理命令の検出を行うようにしてもほぼ同様の効果を奏する。また、上記実施例では命令をデコードして得られる命令コードにより長時間処理命令を検出しているが、長時間処理命令のアドレスが予め判明しているのであれば、図5及び図7に示されている第3及び第4の発明と同様に、アドレスの一致検出による構成としてもよい。

【0118】次に本発明のデータ処理装置の第6の発明について説明する。図11は本発明に係るデータ処理装置の第6の発明の一実施例の構成を示すブロック図である。なお、この図11においては、前述の従来例及び第1乃至第5の発明の説明で参照した図13及び図1, 図3, 図5, 図7, 図9と同一の参照符号は同一又は相当部分を示している。

【0119】図11に示されているように、この第6の発明では電源供給選択回路141, 142, 143, 144が備えられていてクロック供給選択回路131, 132, 133, 134は備えられていない。また、図11ではクロック供給配線1から各ステージ101, 102, 103, 106, 107へのクロックの供給は常時行われているが、クロック供給配線1及びそれから各ステージへのクロック信号線は省略してある。

【0120】また、この第6の発明では、図9に示されている第5の発明の構成で備えられているバッファ160, 161, 162, 163がいずれも各ステージ101, 102, 103, 106とは独立して、各ステージ101, 102, 103, 106への電源供給配線2からの電源供給が電源供給選択回路141, 142, 143, 144により遮断された場合にも各バッファ160, 161, 162, 163への電源供給は行われるようになっている。

【0121】また、この第6の発明では、前述の図5及び図7に示されている第3及び第4の発明と同様のプログラムカウンタ115, 116, 117, 118, 119がそれぞれDステージ102, Aステージ103, Fステージ106, Eステージ107, ストアバッファ120内に備えられている。

【0122】更に、前述の図5及び図7に示されている

第3及び第4の発明ではDステージ102にPCブレイクポイント150及びアドレス比較器151を備えているが、本第6の発明ではそれらをストアバッファ120に備えている。そして、このストアバッファ120に備えられているアドレス比較器151から出力される検出信号136は各電源供給選択回路141, 142, 143, 144に与えられている。他の構成は図9に示されている第5の発明と同様である。

【0123】次に、前述の従来例及び各発明と同様の図14に示されている命令列を実行する場合の本発明のデータ処理装置の第6の発明の動作について、各パイプライン処理段階で各ステージにおいて処理される命令の状態を示す図12の模式図を参照して説明する。

【0124】まず、図示されていない外部メモリから命令401がIFステージ101にフェッチされる。IFステージ101にフェッチされた命令401はバッファ160を経由して命令コード108としてDステージ102へ転送される。その際、Dステージ102のプログラムカウンタ115には命令401のアドレス"00000062H"が"DPC"としてセットされる。その後、次の命令402が外部メモリからIFステージ101にフェッチされ、バッファ160にその命令402の命令コード及び命令アドレスが一旦記憶される。この状態が図12(a)に示されている。

【0125】Dステージ102では、命令401をデコードし、そのデコード結果はバッファ161を経由してDコード109及びAコード110としてAステージ103へ転送される。その際、Aステージ103のプログラムカウンタ116には命令401のアドレス"00000062H"が"APC"としてセットされる。次の命令402がIFステージ101からバッファ160を経由してDステージ102へ転送され、Dステージ102のプログラムカウンタ115には命令402のアドレス"00000064H"が"DPC"としてセットされる。更に、外部メモリから命令403がIFステージ101にフェッチされ、バッファ160にその命令403の命令コード及び命令アドレスが記憶される。この状態が図12(b)に示されている。

【0126】Aステージ103では、命令401の処理が終了すると、その処理結果はバッファ162を経由してRコード111及びFコード112としてFステージ106へ転送される。その際、Fステージ106のプログラムカウンタ117には命令401のアドレス"00000062H"が"FPC"としてセットされる。また、次の命令402がAステージ103からバッファ161を経由してAステージ103へ転送され、プログラムカウンタ116には命令402のアドレス"00000064H"が"APC"としてセットされる。更に、命令403がIFステージ101からバッファ160を経由してDステージ102へ転送され、Dステージ102のプログラムカウンタ115には命令402のアドレス"00000066H"が"DPC"としてセットされる。更に、外部メモリから命令404がIFステージ101にフェッチされ、バッファ

25

ァ160 にその命令404 の命令コード及び命令アドレスが記憶される。この状態が図12(c) に示されている。

【0127】 Fステージ106 では、命令401 の処理が終了すると、その処理結果はバッファ163 を経由してEコード113 及びSコード114 としてEステージ107 へ転送される。その際、Eステージ107 のプログラムカウンタ118 には命令401 のアドレス"00000062H" が" CPC "としてセットされる。また、次の命令402 がAステージ103 からバッファ162 を経由してFステージ106 へ転送され、プログラムカウンタ117 には命令402 のアドレス"00000064H" が" FPC "としてセットされる。更に、命令403 がDステージ102 からバッファ161 を経由してAステージ103 へ転送され、プログラムカウンタ116 には命令403 のアドレス"00000066H" が" APC "としてセットされる。更に、命令404 がIFステージ101 からバッファ160 を経由してDステージ102 へ転送され、Dステージ102 のプログラムカウンタ115 には命令404 のアドレス"00000068H" が" DPC "としてセットされる。更に、外部メモリから命令405 がIFステージ101 にフェッチされ、バッファ160 にその命令404 の命令コード及び命令アドレスが記憶される。この状態が図12(d) に示されている。

【0128】 Eステージ107 では、命令401 の処理が終了すると、命令401 がメモリ書き込みを伴うので、ストアバッファ120 に書き込みデータを転送する。その際、ストアバッファ120 のプログラムカウンタ119 には命令401 のアドレス"00000062H" が" SPC "としてセットされる。また、次の命令402 がFステージ106 からバッファ163 を経由してEステージ107 へ転送され、Eステージ107 のプログラムカウンタ118 には命令402 のアドレス"00000064H" が" CPC "としてセットされる。更に、命令403 がAステージ103 からバッファ162 を経由してFステージ106 へ転送され、プログラムカウンタ117 には命令403 のアドレス"00000066H" が" FPC "としてセットされる。更に、命令404 がDステージ102 からバッファ161 を経由してAステージ103 へ転送され、プログラムカウンタ116 には命令404 のアドレス"00000068H" が" APC "としてセットされる。更に、命令405 がIFステージ101 からバッファ160 を経由してDステージ102 へ転送され、Dステージ102 のプログラムカウンタ115 には命令405 のアドレス"00000068A" が" DPC "としてセットされる。更に、外部メモリから命令406 がIFステージ101 にフェッチされ、バッファ160 にその命令404 の命令コード及び命令アドレスが記憶される。この状態が図12(e) に示されている。

【0129】 ストアバッファ120 では、PCブレイクポイント150 に予め記憶されている長時間処理命令のアドレスとプログラムカウンタ119 に" SPC "として記憶された値とを比較し、この場合は一致するので検出信号136 を前段の各ステージ101, 102, 103, 106の電源供給選択

26

回路141, 142, 143, 144 へ出力する。これにより、電源供給配線2から各ステージ101, 102, 103, 106への電源の供給が停止される。これにより、各ステージ101, 102, 103, 106はその動作を停止するが、バッファ160, 161, 162, 163への給電は停止されないなのでその時点の記憶内容、具体的にはその時点の各ステージ101, 102, 103, 106の処理結果を失うことはない。

【0130】 ストアバッファ120 は命令401 の処理が終了すると、処理終了信号138 を発生して各電源供給選択回路141, 142, 143, 144 に与える。これにより、電源供給配線2から各ステージ101, 102, 103, 106への電源の供給が再開される。この電源の供給が再開された時点で、各ステージ101, 102, 103, 106の処理結果のデータを記憶しているバッファ160, 161, 162, 163 の内容が次のステージ102, 103, 106, 107へ送られるので、それぞれのステージ102, 103, 106, 107ではそれらのデータに従って以降の処理を再開する。

【0131】 IFステージ101 は、バッファ160 に記憶されている命令アドレスの次のアドレス、上述の例では命令406 の命令アドレスがバッファ160 に記憶されているのでその命令406 の次の命令407 のアドレス(0000006EH) が命令フェッチアドレスレジスタ130 に与えられるので、その命令406 を外部メモリからフェッチして命令処理を続行する。

【0132】 以上のように、IFステージ101 の命令フェッチアドレスレジスタ130 でデコードした命令が長時間処理命令であることが検出可能な場合には、その命令をEステージ107 で処理中にそれより前段の各ステージ101, 102, 103, 106ではそれぞれの処理結果をそれぞれバッファ160, 161, 162, 163に記憶させた状態で電源供給配線2からの給電が停止される。従って、各ステージ101, 102, 103, 106が動作することがないため無駄な電力消費が回避されると共に、処理の再開時に外部メモリから無駄な命令フェッチを行うことなく、また電源の遮断時まで各ステージ101, 102, 103, 106で処理した結果をそのまま再使用して処理を再開することが出来る。

【0133】 なお、上記実施例ではEステージ107 に設けられたアドレス比較器151 で長時間処理命令を検出するようにしているが、他のステージ101, 102, 103, 106のいずれで長時間処理命令の検出を行うようにしてもほぼ同様の効果を奏する。また、上記実施例では、長時間処理命令のアドレスが予め判明しているのでアドレス比較器151 により長時間処理命令のアドレスを検出しているが、命令をデコードした結果から長時間処理命令を構成としてもよい。

【0134】

【発明の効果】 以上に詳述したように本発明のデータ処理装置の第1の発明によれば、特定のパイプライン処理ステージでの処理に際して他の各パイプライン処理ステージが待機状態になるような特定の命令がデコードされ



27

た時点で特定のバイブライン処理ステージより前段の各バイブライン処理ステージへのクロックの供給が停止される。従って、特定の命令を特定のバイブライン処理ステージで処理している間は従来は待機状態になる各バイブライン処理ステージが動作しないために無駄な電力消費が回避される。

【0135】また、本発明のデータ処理装置の第2の発明によれば、特定のバイブライン処理ステージでの処理に際して他の各バイブライン処理ステージが待機状態になるような特定の命令がデコードされた時点で特定のバイブライン処理ステージより前段の各バイブライン処理ステージへの給電が停止される。従って、特定の命令を特定のバイブライン処理ステージで処理している間は従来は待機状態になる各バイブライン処理ステージが動作しないために無駄な電力消費が回避される。

【0136】また、本発明のデータ処理装置の第3の発明によれば、特定のバイブライン処理ステージでの処理に際して他の各バイブライン処理ステージが待機状態になるような特定の命令のアドレスが検出された時点で特定のバイブライン処理ステージより前段の各バイブライン処理ステージへのクロックの供給が停止される。従って、特定の命令を特定のバイブライン処理ステージで処理している間は従来は待機状態になる各バイブライン処理ステージが動作しないために無駄な電力消費が回避される。

【0137】また、本発明のデータ処理装置の第4の発明によれば、特定のバイブライン処理ステージでの処理に際して他の各バイブライン処理ステージが待機状態になるような特定の命令のアドレスが検出された時点で特定のバイブライン処理ステージより前段の各バイブライン処理ステージへの給電が停止される。従って、特定の命令を特定のバイブライン処理ステージで処理している間は従来は待機状態になる各バイブライン処理ステージが動作しないために無駄な電力消費が回避される。

【0138】また、本発明のデータ処理装置の第5の発明によれば、特定のバイブライン処理ステージでの処理に際して他の各バイブライン処理ステージが待機状態になるような特定の命令がデコードされた時点で特定のバイブライン処理ステージより前段の各バイブライン処理ステージでの処理結果が静的記憶手段に保持された状態で各バイブライン処理ステージ及び各静的記憶手段へのクロックの供給が停止される。従って、特定の命令を特定のバイブライン処理ステージで処理している間は従来は待機状態になる各バイブライン処理ステージが動作しないために無駄な電力消費が回避されると共に、処理再開時には各静的記憶手段に保持されている内容に従って直ちにバイブライン処理が再開される。

【0139】また、本発明のデータ処理装置の第6の発明によれば、特定のバイブライン処理ステージでの処理に際して他の各バイブライン処理ステージが待機状態に

28

なるような特定の命令のアドレスが検出された時点で特定のバイブライン処理ステージより前段の各バイブライン処理ステージでの処理結果が静的記憶手段に保持された状態で各バイブライン処理ステージへの給電が停止される。従って、特定の命令を特定のバイブライン処理ステージで処理している間は従来は待機状態になる各バイブライン処理ステージが動作しないために無駄な電力消費が回避されると共に、処理再開時には各静的記憶手段に保持されている内容に従って直ちにバイブライン処理が再開される。

【図面の簡単な説明】

【図1】本発明に係るデータ処理装置の第1の発明の一実施例の構成を示すブロック図である。

【図2】本発明に係るデータ処理装置の第1の発明の一実施例の動作説明のための各バイブライン処理段階で各ステージにおいて処理される命令の状態を示す模式図である。

【図3】本発明に係るデータ処理装置の第2の発明の一実施例の構成を示すブロック図である。

【図4】本発明に係るデータ処理装置の第2の発明の一実施例の動作説明のための各バイブライン処理段階で各ステージにおいて処理される命令の状態を示す模式図である。

【図5】本発明に係るデータ処理装置の第3の発明の一実施例の構成を示すブロック図である。

【図6】本発明に係るデータ処理装置の第3の発明の一実施例の動作説明のための各バイブライン処理段階で各ステージにおいて処理される命令の状態を示す模式図である。

【図7】本発明に係るデータ処理装置の第4の発明の一実施例の構成を示すブロック図である。

【図8】本発明に係るデータ処理装置の第4の発明の一実施例の動作説明のための各バイブライン処理段階で各ステージにおいて処理される命令の状態を示す模式図である。

【図9】本発明に係るデータ処理装置の第5の発明の一実施例の構成を示すブロック図である。

【図10】本発明に係るデータ処理装置の第5の発明の一実施例の動作説明のための各バイブライン処理段階で各ステージにおいて処理される命令の状態を示す模式図である。

【図11】本発明に係るデータ処理装置の第6の発明の一実施例の構成を示すブロック図である。

【図12】本発明に係るデータ処理装置の第6の発明の一実施例の動作説明のための各バイブライン処理段階で各ステージにおいて処理される命令の状態を示す模式図である。

【図13】従来のデータ処理装置の一構成例を示すブロック図である。

【図14】本発明及び従来のデータ処理装置によりバイ



ブライン処理される命令列の一例を示す模式図である。

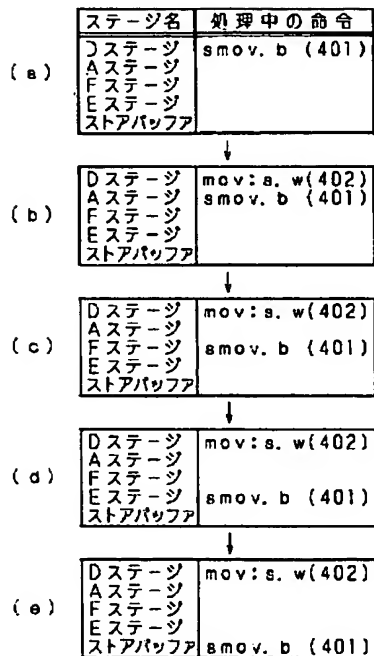
【図15】従来のデータ処理装置の動作説明のための各パイプライン処理段階で各ステージにおいて処理される命令の状態を示す模式図である。

【符号の説明】

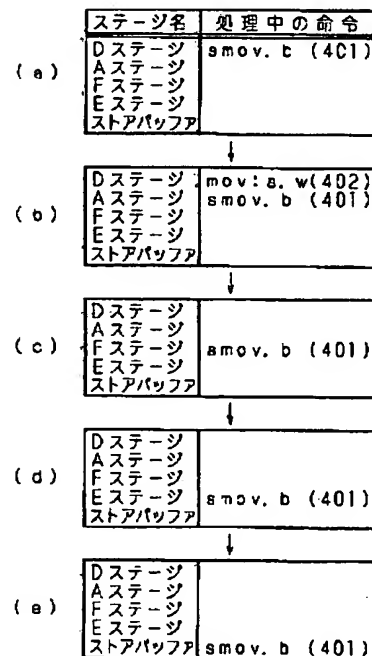
- 1 クロック供給配線
- 2 電源供給配線
- 101 IFステージ
- 102 Dステージ
- 103 Aステージ
- 106 Fステージ
- 107 Eステージ
- 115 プログラムカウンタ
- 116 プログラムカウンタ
- 117 プログラムカウンタ
- 118 プログラムカウンタ
- 119 プログラムカウンタ
- 120 ストアバッファ

- 130 命令フェッチアドレスレジスタ
- 131 クロック供給選択回路
- 132 クロック供給選択回路
- 133 クロック供給選択回路
- 134 クロック供給選択回路
- 135 命令デコード部
- 136 次命令フェッチアドレス生成部
- 141 電源供給選択回路
- 142 電源供給選択回路
- 10 143 電源供給選択回路
- 144 電源供給選択回路
- 150 PCブレークポインタ
- 151 アドレス比較器
- 160 バッファ
- 161 バッファ
- 162 バッファ
- 163 バッファ

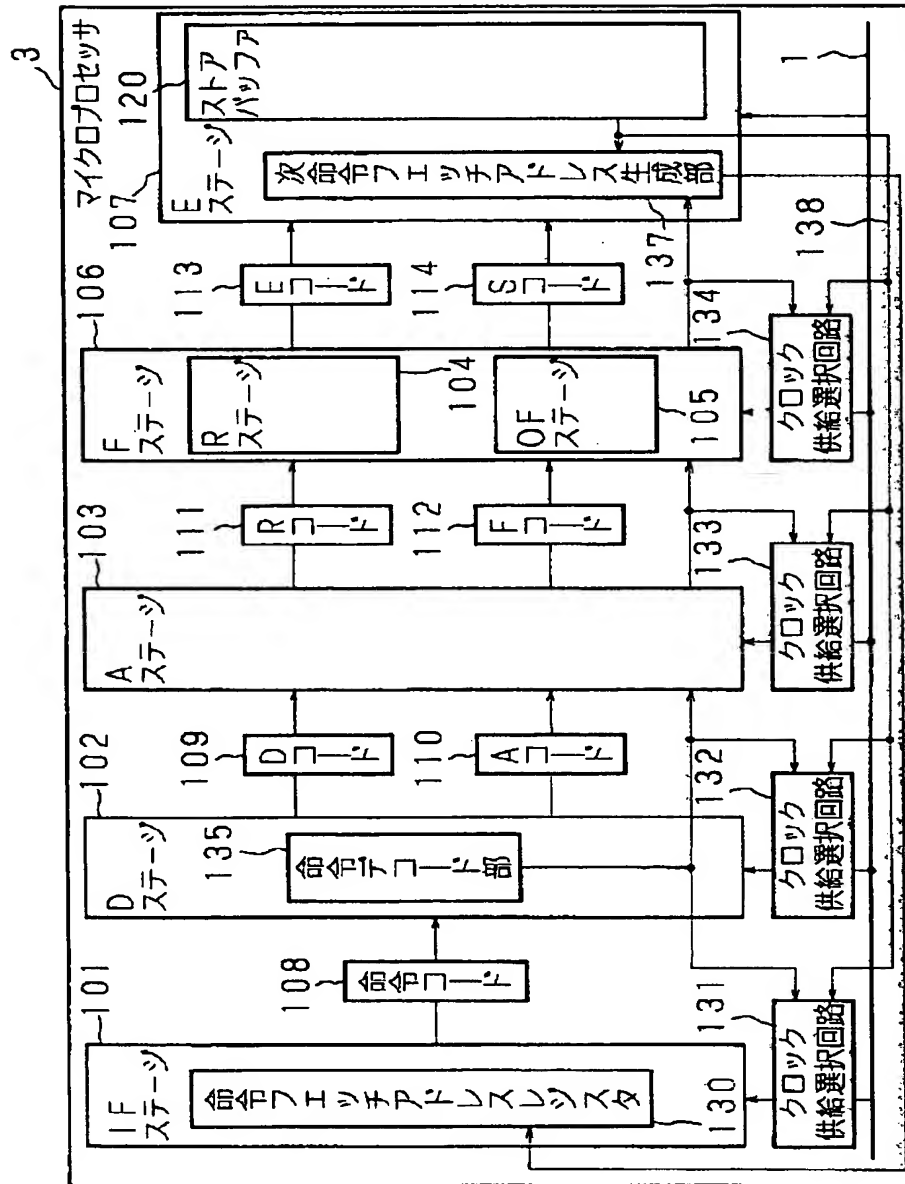
【図2】



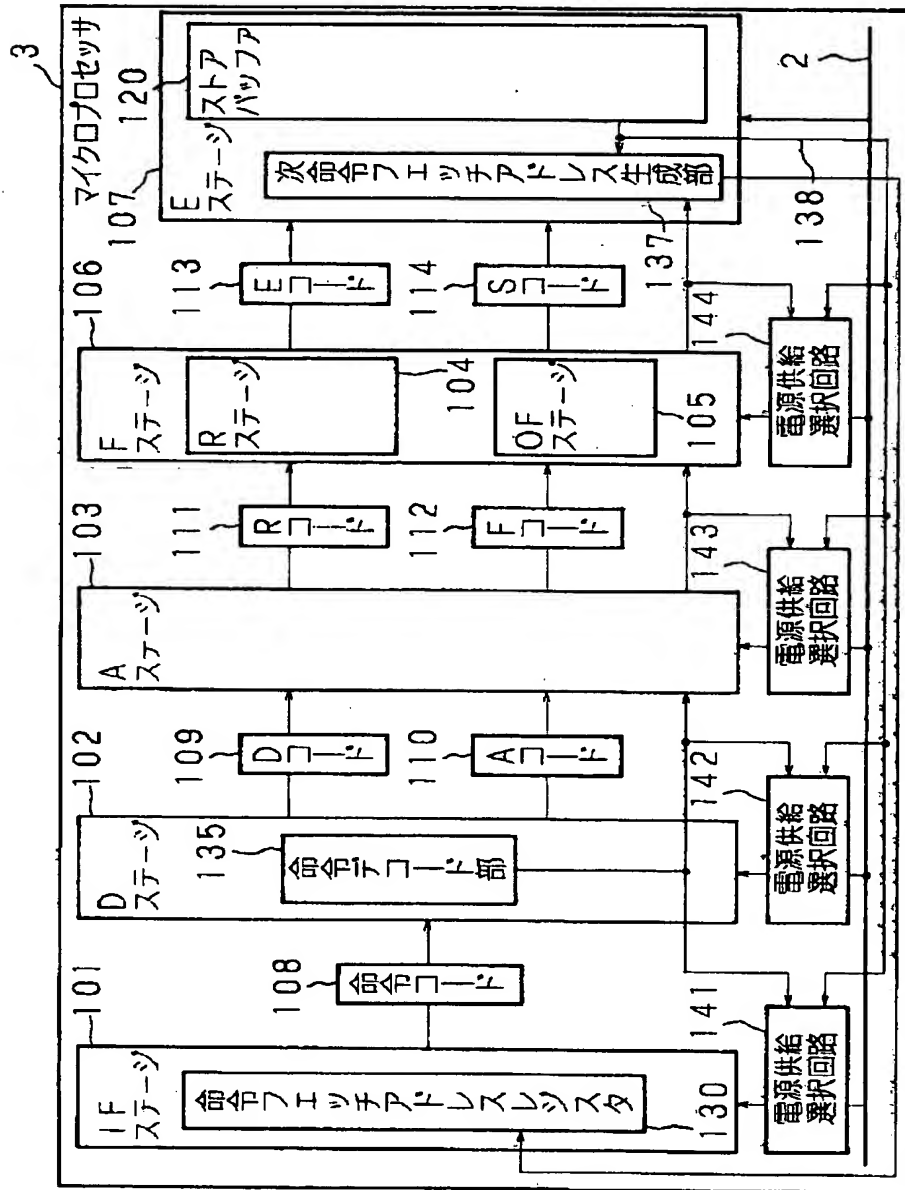
【図4】



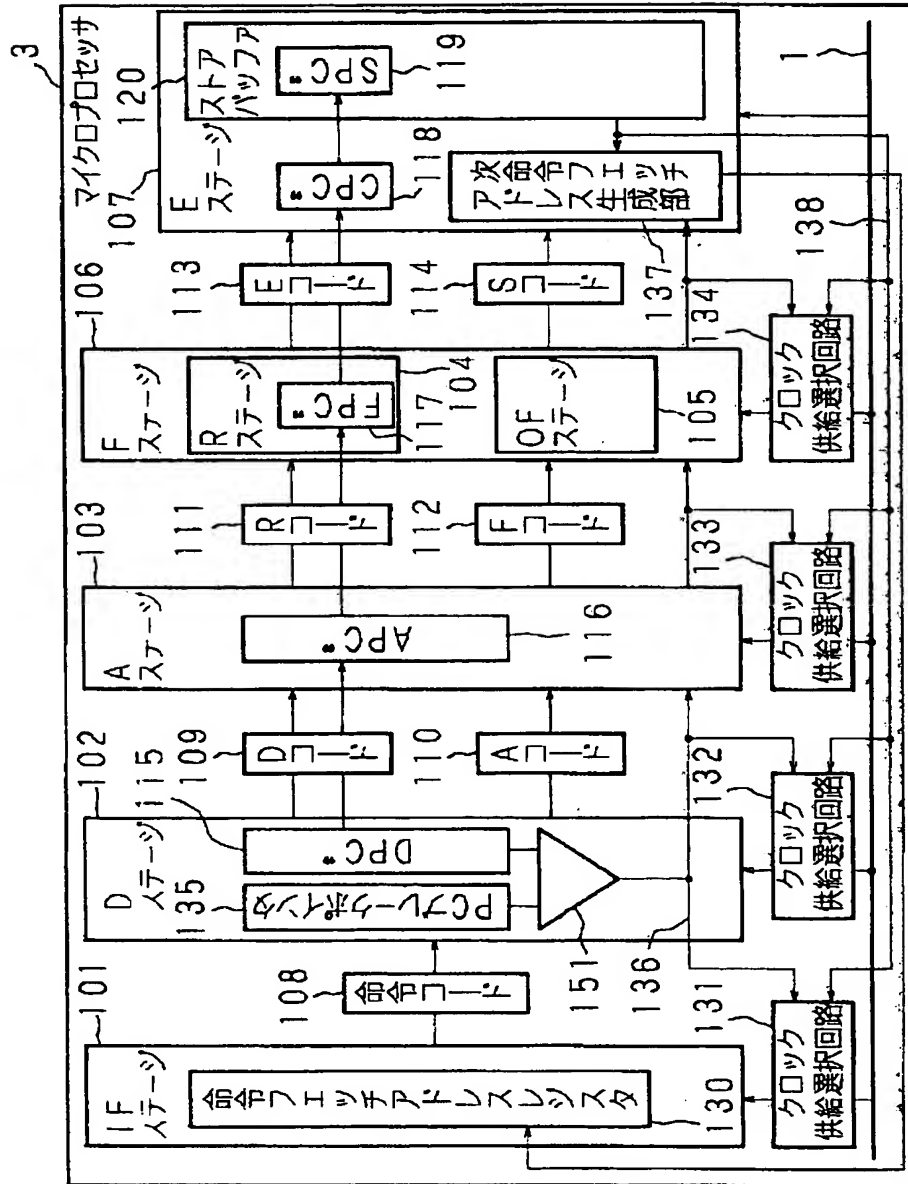
【図1】



【図3】



【図5】



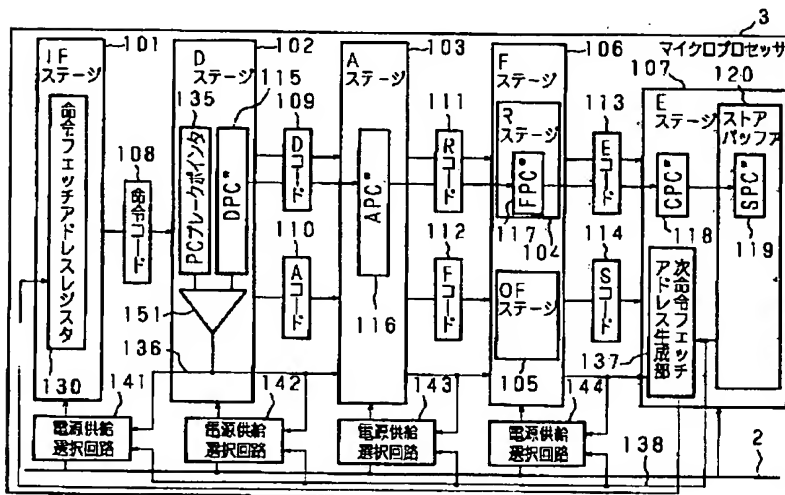
【図6】

ステージ名	処理中の命令	プログラム・カウンタ値
(a) Dステージ	smov. b (401)	DPC H'03000062
Aステージ		APC
Fステージ		FPC
Eステージ		CPC
ストアバッファ		SPC
(b) Dステージ	mov: s. w(402)	DPC H'00000064
Aステージ	smov. b (401)	APC H'00000062
Fステージ		FPC
Eステージ		CPC
ストアバッファ		SPC
(c) Dステージ	mov: s. w(402)	APC H'00000064
Aステージ		
Fステージ	smov. b (401)	FPC H'00000062
Eステージ		CPC
ストアバッファ		SPC
(d) Dステージ	mov: s. w(402)	FPC H'00000064
Aステージ		
Fステージ		
Eステージ	smov. b (401)	CPC H'00000062
ストアバッファ		SPC
(e) Dステージ	mov: s. w(402)	CPC H'00000064
Aステージ		
Fステージ		
Eステージ		
ストアバッファ	smov. b (401)	SPC H'0C000062

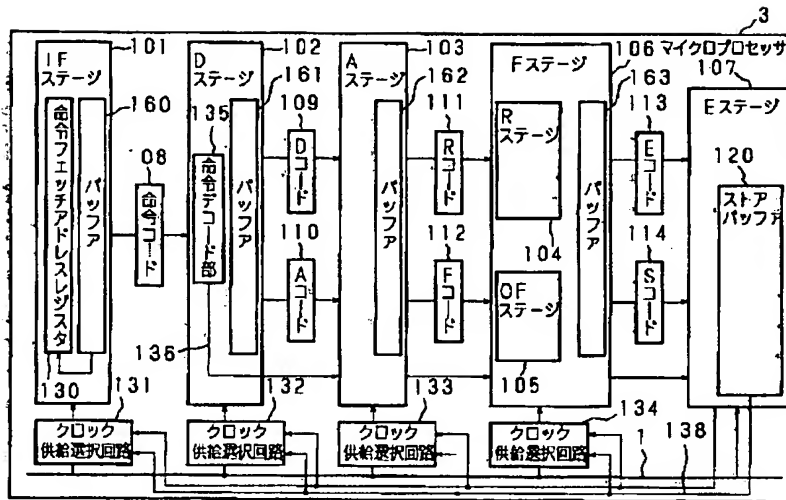
【図8】

ステージ名	処理中の命令	プログラム・カウンタ値
(a) Dステージ	smov. b (401)	DPC H'00000062
Aステージ		APC
Fステージ		FPC
Eステージ		CPC
ストアバッファ		SPC
(b) Dステージ	mov: s. w(402)	DPC H'00000064
Aステージ	smov. b (401)	APC H'00000062
Fステージ		FPC
Eステージ		CPC
ストアバッファ		SPC
(c) Dステージ		
Aステージ	smov. b (401)	FPC H'00000062
Fステージ		CPC
Eステージ		SPC
ストアバッファ		
(d) Dステージ		
Aステージ		
Fステージ		
Eステージ	smov. b (401)	CPC H'00000062
ストアバッファ		SPC
(e) Dステージ		
Aステージ		
Fステージ		
Eステージ		
ストアバッファ	smov. b (401)	SPC H'00000062

【図7】



【図9】



【図10】

ステージ名	処理中の命令
(a) Dステージ	smov, b (401)
Aステージ	
Fステージ	
Eステージ	
ストアバッファ	
(b) Dステージ	mov: s, w(402)
Aステージ	smov, b (401)
Fステージ	
Eステージ	
ストアバッファ	
(c) Dステージ	adc: a, w(403)
Aステージ	mov: s, w(402)
Fステージ	smov, b (401)
Eステージ	
ストアバッファ	
(d) Dステージ	mov: s, w(404)
Aステージ	add: a, w(403)
Fステージ	mov: s, w(402)
Eステージ	smov, b (401)
ストアバッファ	
(e) Dステージ	add: s, w(405)
Aステージ	mov: s, w(404)
Fステージ	add: a, w(403)
Eステージ	mov: s, w(402)
ストアバッファ	smov, b (401)

【図12】

ステージ名	処理中の命令	プログラム・カウンタ値
(a) Dステージ	smov, b (401)	DPC H'00000062
Aステージ		APC
Fステージ		FPC
Eステージ		CPC
ストアバッファ		SPC
(b) Dステージ	mov: s, w(402)	DPC H'00000064
Aステージ	smov, b (401)	APC H'00000062
Fステージ		FPC
Eステージ		CPC
ストアバッファ		SPC
(c) Dステージ	add: a, w(403)	DPC H'00000066
Aステージ	mov: s, w(402)	APC H'00000064
Fステージ	smov, b (401)	FPC H'00000062
Eステージ		CPC
ストアバッファ		SPC
(d) Dステージ	mov: s, w(404)	DPC H'00000068
Aステージ	add: a, w(403)	APC H'00000066
Fステージ	mov: s, w(402)	FPC H'00000064
Eステージ	smov, b (401)	CPC H'00000062
ストアバッファ		SPC
(e) Dステージ	add: s, w(405)	DPC H'0000006A
Aステージ	mov: s, w(404)	APC H'00000068
Fステージ	add: a, w(403)	FPC H'00000066
Eステージ	mov: s, w(402)	CPC H'00000064
ストアバッファ	smov, b (401)	SPC H'00000062

Figure 1 is a block diagram of a microprocessor system (1). The system consists of four main stages: IF (Instruction Fetch), D (Decode), A (Execute), and F (Fetch), followed by an E (Execute) stage. Each stage includes a buffer (バッファ) and a code (コード) block. The IF stage includes a command word (命令ワード) and a command code (命令コード). The D stage includes a command code (命令コード) and a command code (命令コード). The A stage includes a command code (命令コード) and a command code (命令コード). The F stage includes a command code (命令コード) and a command code (命令コード). The E stage includes a command code (命令コード) and a command code (命令コード). The system also includes a microprocessor (マイクロプロセッサ) and a power supply selection circuit (電源供給選択回路).

Figure 1 is a block diagram of a microprocessor system. The central component is a microprocessor (106) which contains several internal stages: R ステージ (111), マイクロROM (121), OF ステージ (104), and E ステージ (113). The microprocessor is connected to four external stages: IF ステージ (101), D ステージ (102), A ステージ (103), and E ステージ (107). The IF ステージ (101) is connected to the microprocessor via a command code (108). The D ステージ (102) is connected via a data code (109) and an address code (110). The A ステージ (103) is connected via a register code (111) and a function code (112). The E ステージ (107) is connected via an enable code (113) and a status code (114). The E ステージ (107) is also connected to a storage buffer (120). A microprocessor (3) is shown at the top right, connected to the system bus.

アドレス	命 令	
C0000062	smov:b	-401
C0000064	mov:s,w r2,@(r13)	-402
C0000066	add:q,w \$4,r13	-403
00000068	mov:s,w r1,@(r13)	-404
0000006A	add:q,w \$4,r13	-405
0000006C	mov:l,w r14,r0	-406
0000006E	mov:l,w r12,r1	-407
00000070	mov:l,w \$h'80000001,r2	-408

【図15】

